

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-64898

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/316		H 0 1 L 21/316	S
	21/8234		27/08	1 0 2 B
	27/088		27/10	6 8 1 F
	27/108		29/78	3 0 1 G
	21/8242			

審査請求 未請求 請求項の数12 F D (全 14 頁) 最終頁に続く

(21) 出願番号 特願平8-234718

(22) 出願日 平成8年(1996) 8月16日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山富士ビル

(72) 発明者 窪田 勉

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(72) 発明者 佐藤 暢章

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

(72) 発明者 半田 治

茨城県稲敷郡美浦村木原2355番地 日本テキサス・インスツルメンツ株式会社内

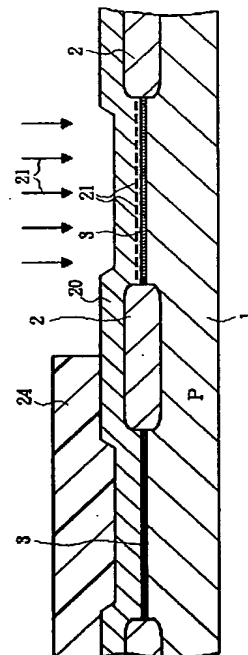
(74) 代理人 弁理士 佐々木 聖孝

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 酸化膜の膜厚を少ない工程数で容易かつ選択的に増大させ、しかも酸化膜を均一に形成することのできる、半導体装置の製造方法を提供すること。

【解決手段】 半導体基板1の表面上にゲート酸化膜を形成するに際して、前記酸化膜に隣接したポリシリコン層20又は前記表面下にフッ素21をイオン注入し、加熱処理によってゲート酸化膜23を成長させて膜厚を増大させるようにした、バッファ回路部を有するダイナミックRAM等の半導体装置の製造方法。



【特許請求の範囲】

【請求項1】 半導体基体の表面上に酸化膜を形成するに際して、前記酸化膜に隣接した層又は前記半導体基体の表面下にハロゲンを含ませ、加熱処理によって酸化膜を成長させるようにした、半導体装置の製造方法。

【請求項2】 半導体基体の表面上に酸化膜を形成した後、この酸化膜上に隣接して導電材料層を形成し、この導電材料層にハロゲンを導入し、更にアニール処理によって前記酸化膜の膜厚を増大させる、請求項1に記載した製造方法。

【請求項3】 半導体基体の表面下にハロゲンを導入し、熱酸化処理によって前記表面に酸化膜を形成する、請求項1に記載した製造方法。

【請求項4】 半導体基体の第1素子領域と第2素子領域とに互いに膜厚の異なる酸化膜をそれぞれ形成するに際して、前記第1素子領域に対して請求項2及び／又は3に記載した処理を行うことによって、前記第1素子領域の表面酸化膜の膜厚を前記第2素子領域の表面酸化膜の膜厚よりも大きくする、請求項2又は3に記載した製造方法。

【請求項5】 第1素子領域と第2素子領域とに表面酸化膜をそれぞれ形成した後、これらの表面酸化膜上にポリシリコン層を形成し、このポリシリコン層のうち前記第1素子領域の少なくともゲート形成領域にハロゲンを導入し、アニール処理によって前記第1素子領域の前記表面酸化膜の膜厚を増大させ、更に前記ポリシリコン層をゲート電極形状にパターニングする工程を経て前記第1素子領域と前記第2素子領域とに、互いに膜厚の異なるゲート酸化膜を有する絶縁ゲート型電界効果トランジスタをそれぞれ作製する、請求項4に記載した製造方法。

【請求項6】 第1素子領域の表面下の少なくともゲート形成領域にハロゲンを導入し、熱酸化処理によって前記第1素子領域と第2素子領域とに互いに膜厚の異なるゲート酸化膜をそれぞれ形成し、更にこれらのゲート酸化膜上にポリシリコン層を形成し、このポリシリコン層をゲート電極形状にパターニングする工程を経て前記第1素子領域と前記第2素子領域とに、互いに膜厚の異なるゲート酸化膜を有する絶縁ゲート型電界効果トランジスタをそれぞれ作製する、請求項4に記載した製造方法。

【請求項7】 第1素子領域と第2素子領域とに表面酸化膜をそれぞれ形成した後、これらの表面酸化膜上にポリシリコン層を形成し、このポリシリコン層をゲート電極形状にパターニングし、ソース領域及びドレイン領域を半導体基体に形成し、更に前記第1素子領域のポリシリコンゲート電極にハロゲンを導入し、アニール処理によって前記第1素子領域の前記表面酸化膜の膜厚を増大させ、前記第1素子領域と前記第2素子領域とに、互いに膜厚の異なるゲート酸化膜を有する絶縁ゲート型電界

効果トランジスタをそれぞれ作製する、請求項4に記載した製造方法。

【請求項8】 半導体基体の第1素子領域と第2素子領域とに互いに膜厚の異なる酸化膜をそれぞれ形成するに際して、前記第1素子領域及び前記第2素子領域に表面酸化膜をそれぞれ形成した後、前記第1素子領域の前記表面酸化膜にハロゲンを導入し、更にアニール処理を行うことによって、前記第1素子領域の表面酸化膜の膜厚を前記第2素子領域の表面酸化膜の膜厚よりも大きくする、半導体装置の製造方法。

【請求項9】 第1素子領域と第2素子領域とに表面酸化膜をそれぞれ形成した後、これらの表面酸化膜上にポリシリコン層を形成し、このポリシリコン層を通して前記第1素子領域の少なくともゲート形成領域の前記表面酸化膜にハロゲンを導入し、アニール処理によって前記第1素子領域の前記表面酸化膜の膜厚を増大させ、更に前記ポリシリコン層をゲート電極形状にパターニングする工程を経て前記第1素子領域と前記第2素子領域とに、互いに膜厚の異なるゲート酸化膜を有する絶縁ゲート型電界効果トランジスタをそれぞれ作製する、請求項8に記載した製造方法。

【請求項10】 第1素子領域と第2素子領域とに表面酸化膜をそれぞれ形成した後、これらの表面酸化膜上にポリシリコン層を形成し、このポリシリコン層をゲート電極形状にパターニングし、ソース領域及びドレイン領域を半導体基体に形成し、更に前記第1素子領域の前記表面酸化膜にハロゲンを導入し、アニール処理によって前記第1素子領域の前記表面酸化膜の膜厚を増大させ、前記第1素子領域と前記第2素子領域とに、互いに膜厚の異なるゲート酸化膜を有する絶縁ゲート型電界効果トランジスタをそれぞれ作製する、請求項8に記載した製造方法。

【請求項11】 ハロゲンの導入をイオン注入法によって行う、請求項1～10のいずれか1項に記載した製造方法。

【請求項12】 ハロゲンとして、フッ素又はフッ素化合物を使用する、請求項1～11のいずれか1項に記載した製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、例えば半導体基体の第1素子領域と第2素子領域とに互いにゲート酸化膜厚の異なる絶縁ゲート型電界効果トランジスタをそれぞれ有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】従来、半導体集積回路装置（IC：Integrated circuit）、例えばダイナミックRAM（Random access memory）において、周辺回路のパッファ部分の如くゲート絶縁破壊耐圧が必要とされる回路部分では、

MOSFET (Metal oxide semiconductor field effect transistor: 以下、MOSトランジスタと称する。) のゲート酸化膜の膜厚を選択的に大きくする必要がある。

【0003】こうした構造を実現するための製造方法としては、LOCOS (Local oxidation of silicon) 法や、レジストマスクとエッチングによる方法などが知られている。しかしながら、これらの方法はいずれも、工程数が多く、かつゲート酸化膜厚の均一性が不十分であった。これを図26～図31に示す製造例について説明する。

【0004】まず、図26に示すように、P型シリコン基板1 (これはP型ウエルであってよい。) の表面に、公知のLOCOS法によって、例えば、第1素子領域としての内部回路のメモリセルアレイ部maと、第2素子領域としての周辺回路のバッファ回路部bfとを分離するためのフィールドSiO₂膜2を選択的に形成する。

【0005】次いで、LOCOS時の耐酸化マスクである窒化シリコン膜 (図示せず) をエッチングで除去し、更に表面のSiO₂膜 (パッドオキサイド: 図示せず) もエッチングで除去し、各素子領域の基板表面を露出させる。

【0006】次いで、図27に示すように、公知の熱酸化法によって、基板1の露出面にSiO₂膜3を厚さ150～160 Å程度に成長させる。

【0007】次いで、図28に示すように、ゲート酸化膜厚を比較的小さくしたいメモリセルアレイ部maが露出し、ゲート酸化膜厚を比較的大きくしたいバッファ回路部bfを覆うようなパターンにレジストマスク4を被着する。

【0008】次いで、図29に示すように、フッ酸を用いたウェットエッチングによって、レジストマスク4で覆われていない領域のSiO₂膜3を除去し、その表面を露出させる。

【0009】次いで、図30に示すように、レジストマスク4を除去した後、2回目の熱酸化によって上記露出面にSiO₂膜 (メモリセルアレイ部maのゲート酸化膜) 5を厚さ150～160 Åに成長させると同時に、バッファ回路部bfでは上記のSiO₂膜3が更に成長してその膜厚が増大し、ゲート酸化膜5よりも厚いSiO₂膜 (バッファ回路部bfのゲート酸化膜) 6となる。

【0010】次いで、図31に示すように、公知の方法に従って、CVD (化学的気相成長法: Chemical vapor deposition) によりポリシリコン層を被着してゲート電極形状にパターンニングし、サイドウォール技術によりポリシリコンゲート電極7、8の側面をナイトライド膜9で絶縁し、更にN型不純物のイオン注入によってN⁺型ソース領域10、11、12、13をセルフアライン (自己整合的) に形成し、オーミックコンタクトをとるためのタンタルサイド層14を薄く成長させた後、層間絶縁膜15を

被着してこれにコンタクトホールを形成し、各ソース電極16、18及びドレイン電極17、19をそれぞれ被着する。

【0011】こうして、バッファ回路部bfでは比較的厚いゲート酸化膜6 (従って、しきい値電圧の高い) MOSトランジスタTr₁を作製する一方、メモリセルアレイ部maでは比較的薄いゲート酸化膜5 (従って、しきい値電圧の低い) MOSトランジスタTr₂を作製することができる。

【0012】即ち、両トランジスタTr₁とTr₂とのしきい値電圧を互いに異ならせ、前者のトランジスタTr₁のしきい値電圧を高くしてそのゲート絶縁破壊耐圧を向上させ、バッファ回路用として使用可能なものとなる。

【0013】しかし、図26～図31に示した製造方法には、次のような問題がある。

(a) 目的とするゲート酸化膜厚を得るには、1回目のゲート酸化処理 (図27)、レジストマスクを用いたエッチング (図28、図29) 及び2回目のゲート酸化処理 (図30) の如く、ゲート酸化を2回行う必要があり、工程数が増える。

【0014】(b) 1回目のゲート酸化処理後に、一方のSiO₂膜3をエッチングで除去し、更にレジストマスク4のエッチングで除去する工程 (図29) において、メモリセルアレイ部maに露出させる基板表面がエッチング液 (フッ酸) で荒れ易く、またこの露出面に除去されたレジスト材が付着するなどの悪影響がある。この結果、2回目のゲート酸化 (図30) でメモリセルアレイ部maに成長するゲート酸化膜5の膜厚の均一性が悪くなり、この膜質も劣化し易い。

【0015】

【発明が解決しようとする課題】本発明の目的は、酸化膜の膜厚を少ない工程数で容易かつ選択的に増大させ、しかも酸化膜を均一に形成することのできる、半導体装置の製造方法を提供することにある。

【0016】

【課題を解決するための手段】即ち、本発明は、半導体基体の表面上に酸化膜 (例えばゲート酸化膜: 以下、同様) を形成するに際して、前記酸化膜に隣接した層 (例えばポリシリコン層: 以下、同様) 又は前記半導体基体の表面下にハロゲン (例えばフッ素: 以下、同様) を含有させ、加熱処理によって酸化膜を成長させるようにした、半導体装置の製造方法 (以下、これを第1の発明の製造方法と称する。) に係るものである。

【0017】第1の発明の製造方法によれば、加熱処理によって酸化膜を成長させる際に、この酸化膜の隣接層又は基体表面下にハロゲンを含有させているので、上記加熱処理時にハロゲンが酸化膜中に取り込まれ、成長する酸化膜の膜厚を増大させることができる。これは、例えば、酸化膜のSi-O結合が取り込まれたフッ素の強い還元力によって破壊され、遊離された酸素原子に対し

フッ素原子が置換されてSi-Fの結合が新たに形成され、かつ、遊離酸素がSiとSiO₂、又はポリSiとの界面に拡散して酸化が更に進行する(新たなSi-O結合が生成する)からであると考えられる。従って、第1の発明の製造方法は、既述した従来法に比べて次の如き顕著な効果を奏する。

【0018】(A)酸化膜を形成する酸化工程が1回であっても、上記加熱処理によって酸化膜を成長させ、その膜厚を増大させることができる。このため、酸化膜厚を少ない工程で容易かつ選択的に増大させることができる。

【0019】(B)酸化膜の膜厚を選択的に増大させるに際し、従来のように酸化膜を除去するエッチング工程が薄い方の酸化膜のためには不要となるから、エッチングによる基体表面の荒れや汚染が防止され、均一でかつ均質な酸化膜が得られる。

【0020】(C)また、第1の発明の製造方法では、上記のハロゲンは酸化膜の隣接層又は基体表面下に含有させ、加熱処理によって酸化膜中に取り込む(拡散させる)ことができるから、酸化膜中に直接注入する場合に比べて、酸化膜のダメージを軽減させ、原子の置換をスムーズに行わせることができ、これによって得られる酸化膜の均一性、均質性が更に向上する。

【0021】本発明はまた、上記した(A)及び(B)と同様の特徴を生かして、膜厚の異なる複数の酸化膜を共通の工程によってそれぞれの素子領域に効果的に形成する方法として、半導体基体の第1素子領域(例えばバッファ回路部:以下、同様)と第2素子領域(例えばメモリセルアレイ部:以下、同様)とに互いに膜厚の異なる酸化膜(例えばゲート酸化膜:以下、同様)をそれぞれ形成するに際して、前記第1素子領域及び前記第2素子領域に表面酸化膜をそれぞれ形成した後、前記第1素子領域の前記表面酸化膜にハロゲンを導入し、更にアニール処理を行うことによって、前記第1素子領域の表面酸化膜(例えばゲート酸化膜:以下、同様)の膜厚を前記第2素子領域の表面酸化膜(例えばゲート酸化膜:以下、同様)の膜厚よりも大きくする、半導体装置の製造方法(以下、これを第2の発明の製造方法と称する。)も提供するものである。

【0022】第2の発明の製造方法では、ハロゲンを表面酸化膜に導入し、アニール処理を行うことが特徴であるが、上記した(A)及び(B)で述べたと同様に、第1素子領域の酸化膜の膜厚を少ない工程数で容易かつ選択的に増大させ、しかもこの均一性及び均質性も得ることができる。

【0023】

【発明の実施の形態】第1の発明の製造方法においては、半導体基体の表面上に酸化膜を形成した後、この酸化膜上に隣接してポリシリコン層の如き導電材料層を形成し、この導電材料層にハロゲンを導入し、更にアニール

処理によって前記酸化膜の膜厚を増大させることができる。或いは、半導体基体の表面下にハロゲンを導入し、熱酸化処理によって前記表面に酸化膜を形成することもできる。

【0024】そして、半導体基体の第1素子領域と第2素子領域とに互いに膜厚の異なる酸化膜をそれぞれ形成するに際して、前記第1素子領域に対して上記のアニール処理及び/又は熱酸化処理を行うことによって、前記第1素子領域の表面酸化膜の膜厚を前記第2素子領域の表面酸化膜の膜厚よりも大きくすることが望ましい。

【0025】具体的には、第1素子領域と第2素子領域とに表面酸化膜をそれぞれ形成した後、これらの表面酸化膜上にポリシリコン層を形成し、このポリシリコン層のうち前記第1素子領域の少なくともゲート形成領域にハロゲンを導入し、アニール処理によって前記第1素子領域の前記表面酸化膜の膜厚を増大させ、更に前記ポリシリコン層をゲート電極形状にパターニングする工程を経て前記第1素子領域と前記第2素子領域とに、互いに膜厚の異なるゲート酸化膜を有する絶縁ゲート型電界効果トランジスタ(例えばMOSトランジスタ)をそれぞれ作製することができる。

【0026】或いは、第1素子領域の表面下の少なくともゲート形成領域にハロゲンを導入し、熱酸化処理によって前記第1素子領域と第2素子領域とに互いに膜厚の異なるゲート酸化膜をそれぞれ形成し、更にこれらのゲート酸化膜上にポリシリコン層を形成し、このポリシリコン層をゲート電極形状にパターニングする工程を経て前記第1素子領域と前記第2素子領域とに、互いに膜厚の異なるゲート酸化膜を有する絶縁ゲート型電界効果トランジスタ(例えばMOSトランジスタ)をそれぞれ作製することもできる。

【0027】或いは、第1素子領域と第2素子領域とに表面酸化膜をそれぞれ形成した後、これらの表面酸化膜上にポリシリコン層を形成し、このポリシリコン層をゲート電極形状にパターニングし、ソース領域及びドレイン領域を半導体基体に形成し、更に前記第1素子領域のポリシリコンゲート電極にハロゲンを導入し、アニール処理によって前記第1素子領域の前記表面酸化膜の膜厚を増大させ、前記第1素子領域と前記第2素子領域とに、互いに膜厚の異なるゲート酸化膜を有する絶縁ゲート型電界効果トランジスタをそれぞれ作製することもできる。

【0028】第2の発明の製造方法においては、第1素子領域と第2素子領域とに表面酸化膜をそれぞれ形成した後、これらの表面酸化膜上にポリシリコン層を形成し、このポリシリコン層を通して前記第1素子領域の少なくともゲート形成領域の前記表面酸化膜にハロゲンを導入し、アニール処理によって前記第1素子領域の前記表面酸化膜の膜厚を増大させ、更に前記ポリシリコン層をゲート電極形状にパターニングする工程を経て前記第

1素子領域と前記第2素子領域とに、互いに膜厚の異なるゲート酸化膜を有する絶縁ゲート型電界効果トランジスタをそれぞれ作製することができる。

【0029】或いは、第1素子領域と第2素子領域とに表面酸化膜をそれぞれ形成した後、これらの表面酸化膜上にポリシリコン層を形成し、このポリシリコン層をゲート電極形状にパターンニングし、ソース領域及びドレイン領域を半導体基体に形成し、更に前記第1素子領域の前記表面酸化膜にハロゲンを導入し、アニール処理によって前記第1素子領域の前記表面酸化膜の膜厚を増大させ、前記第1素子領域と前記第2素子領域とに、互いに膜厚の異なるゲート酸化膜を有する絶縁ゲート型電界効果トランジスタをそれぞれ作製することもできる。

【0030】第1及び第2の発明の製造方法においては、ハロゲンの導入をイオン注入法によって行うのがよい。また、ハロゲンとして、フッ素又はフッ素化合物を使用するのがよい。

【0031】

【実施例】以下、本発明の実施例を説明する。

【0032】図1～図12は、本発明をダイナミックRAMに適用した第1の実施例を示すものである。

【0033】本実施例では、周辺回路のバッファ部分の如くゲート絶縁破壊耐圧が必要とされる回路部分では、MOSトランジスタのゲート酸化膜の膜厚を選択的に大きくする必要があるが、これを少ない工程数で容易に実現し、かつ酸化膜を均一で均質なものとするために、図1～図9に示す工程を適用している。

【0034】まず、図1に示すように、P型シリコン基板1（これはP型ウェルであってよい。）の表面に、公知のLOCOS法によって第1素子領域としての内部回路の例えばメモリセルアレイ部MAと、第2素子領域としての周辺回路の例えばバッファ回路部BFとを分離するためのフィールドSiO₂膜2を選択的に形成する。

【0035】次いで、LOCOS時の耐酸化マスクである窒化シリコン膜（図示せず）をエッチングで除去し、更に表面のSiO₂膜（パッドオキサイド：図示せず）もエッチングで除去し、各素子領域の基板表面を露出させる。

【0036】次いで、図2に示すように、MOSトランジスタのしきい値電圧を調整するための不純物のイオン注入後に公知の熱酸化法（例えば850～900℃）によって、基板1の露出面にSiO₂膜3を厚さ150～160Å程度に成長させる。

【0037】次いで、図3に示すように、ゲート電極となるポリシリコン層20をCVDにより全面に堆積させる。

【0038】次いで、図4に示すように、ゲート酸化膜厚を比較的小さくしたいメモリセルアレイ部MAを覆い、ゲート酸化膜厚を比較的大きくしたいバッファ回路部BFが露出するようなパターンにレジストマスク24を

被着する。

【0039】次いで、イオン注入装置によって、フッ素イオン21をレジストマスク24で覆われていないポリシリコン層20中に注入する。この注入イオンはポリシリコン層20中に破線で示す。

【0040】次いで、図5に示すように、ポリシリコン層20中に電気抵抗低減のために不純物をイオン注入した（図示せず）後、例えば850～900℃でアニール処理を行うことによって、上記のフッ素注入領域において、フッ素原子又はイオン21を活性化させる。これによって、フッ素がSiO₂膜3中に拡散して取り込まれ、Si-O結合の破壊によるフッ素置換及び遊離酸素の拡散によって膜厚が増大したゲート酸化膜23が成長する。

【0041】次いで、図6に示すように、公知の方法に従って、ポリシリコン層20をゲート電極形状にパターンニングする。

【0042】次いで、図7に示すように、サイドウォール技術によりポリシリコンゲート電極27、28の側面をナイトライド膜29で絶縁し、更に、図8に示すように、N型不純物のイオン注入によってN⁺型ソース領域10、11、12、13をセルフアライン（自己整合的）に形成する。

【0043】次いで、図9に示すようにオーミックコンタクトをとるためのチタンシリサイド層14を薄く成長させた後、層間絶縁膜15を被着してこれにコンタクトホールを形成し、各ソース電極16、18及びドレイン電極17、19をそれぞれ被着する。

【0044】なお、図7に示したサイドウォール29の形成工程、図8に示したソース、ドレイン領域の形成工程、更にはシリサイド形成工程等の追加の熱処理（例えば850～900℃）の熱エネルギーにより、ポリシリコン層（ゲート）28中のフッ素が更に拡散し、ゲート酸化膜23の膜厚は一層増大することになる。

【0045】こうして、バッファ回路部BFでは比較的厚いゲート酸化膜23（従って、しきい値電圧の高い）MOSトランジスタTR₁を作製する一方、メモリセルアレイ部MAでは比較的薄いゲート酸化膜3（従って、しきい値電圧の低い）MOSトランジスタTR₂を作製することができる。

【0046】即ち、両トランジスタTR₁とTR₂とのしきい値電圧を互いに異ならせ、前者のトランジスタTR₁のしきい値電圧を高くしてそのゲート絶縁破壊耐圧を向上させ、バッファ回路用として好適なものとなり、回路設計の幅も広がると共に、次に示すように、図26～図31の従来技術では奏し得ない作用効果を有している。

【0047】（A）マスク24を用いて選択的にフッ素をイオン注入する工程（図4）を実施し、アニール処理（ここでは、イオン注入後の活性化のための加熱処理を意味し、更にサイドウォール、ソース及びドレイン領域等の形成時の加熱処理も加えてよい。）によって膜厚が

選択的に増大した酸化膜23を形成しているので、ゲート酸化の工程は1回(図2)で済むから、酸化膜厚を少ない工程で容易かつ選択的に増大させることができる。そして、この酸化膜厚は、フッ素イオンのドーズ量又は飛程(R_p :加速エネルギー 40keVでは R_p は0.089 μm 程度)で制御することができるから、イオン量及び加速エネルギーを調整して必要な位置に必要な量のフッ素を注入するのみでゲート酸化膜の制御が可能となる。

【0048】(B)ゲート酸化膜23の膜厚を選択的に増大させるに際し、従来のように酸化膜を除去するエッチング工程が薄い方の酸化膜のためには不要となり、最初のゲート酸化膜3をそのまま残せるから、 SiO_2 やレジストマスクのエッチングによる基板1の表面の荒れや汚染が防止され、均一でかつ均質なゲート酸化膜3を得ることができる。

【0049】(C)フッ素21は酸化膜に隣接したポリシリコン層20に注入し、加熱処理によってゲート酸化膜中に取り込む(拡散させる)ことができるから、ゲート酸化膜中に直接注入する場合に比べて、ゲート酸化膜のダメージを軽減させ、原子の置換をスムーズに行わせることができ、これによって得られるゲート酸化膜の均一性、均質性が更に向上する。

【0050】(D)フッ素をイオン注入したポリシリコン層20はパターニング後に、そのままゲート電極として残るので、イオン注入工程を追加するのみで、MOSトランジスタの製造工程は既存のものに対してそれ程変更する必要はない。

【0051】図10には、フッ素をイオン注入(ドーズ)しないでゲート酸化膜を成長させた場合に対し、本実施例のようにフッ素をドーズしてゲート酸化膜を形成した場合を、ドーズ量を変化させて得られたゲート酸化膜の膜厚(T_{ox})を示している(但し、加速エネルギーは40keV、 R_p は0.089 μm 程度)。これによれば、フッ素のイオン注入又はドーズによって酸化膜が増大し、これはドーズ量に応じて増大することが分かる。

【0052】図11は、図10の各サンプルに対応したMOSトランジスタのゲート酸化膜の耐圧データを示すが、フッ素のイオン注入又はドーズとその量によって耐圧が上昇していることは明らかである。

【0053】図12は、種々の膜厚のゲート酸化膜に対し、フッ素ドーズ量とアニール温度による膜厚の変化を示すが、上記以外のフッ素ドーズ量及びアニール温度としても、これらによりゲート酸化膜の膜厚がフッ素を導入しない場合より増大していることが確認された。

【0054】図13~図17は、本発明をダイナミックRAMに適用した第2の実施例を示すものである。

【0055】本実施例では、まず、図13に示すように、P型シリコン基板1(これはP型ウェルであってよい。)の表面に、公知のLOCOS法によって、第1素子領域としての内部回路の例えばメモリセルアレイ部M

Aと、第2素子領域としての周辺回路の例えばバッファ回路部BFとを分離するためのフィールド SiO_2 膜2を選択的に形成する。

【0056】次いで、LOCOS時の耐酸化マスクである窒化シリコン膜(図示せず)をエッチングで除去し、更に表面の SiO_2 膜(パッドオキサイド:図示せず)もエッチングで除去し、各素子領域の基板表面を露出させる。

【0057】次いで、図14に示すように、MOSトランジスタのしきい値電圧を調整するための不純物のイオン注入後に、ゲート酸化膜厚を比較的小さくしたいメモリセルアレイ部MAを覆い、ゲート酸化膜厚を比較的大きくしたいバッファ回路部BFが露出するようなパターンにレジストマスク24を被着する。

【0058】次いで、イオン注入装置によって、フッ素イオン31をレジストマスク24で覆われていない基板1の露出面下に注入する。このイオン注入領域は基板1中に31で示す。

【0059】次いで、図15に示すように、例えば850~900℃で熱酸化処理を行うことによって、上記のフッ素注入領域31においてフッ素原子又はイオンが活性化されると共に基板1の表面に成長する SiO_2 膜中に拡散して取り込まれ、 $Si-O$ 結合の破壊によるフッ素置換及び遊離酸素の拡散によって膜厚が増大したゲート酸化膜33が基板1に成長する。他方、メモリセルアレイ部MAには、フッ素が注入されていないので、ゲート酸化膜3はほぼそのままの厚みに残される。

【0060】次いで、図16に示すようにゲート電極となるポリシリコン層30をCVDにより全面に堆積させ、レジストマスク34を被着する。

【0061】次いで、図17に示すように、公知の方法に従って、ポリシリコン層30をゲート電極形状にパターニングする。

【0062】次いで、図7に示したと同様に、サイドウォール技術によりポリシリコンゲート電極37、38の側面をナイトライド膜29で絶縁し、更に、図8に示したと同様に、N型不純物のイオン注入によってN⁺型ソース領域10、11、12、13をセルフアライン(自己整合的)に形成する。

【0063】次いで、図9に示したと同様に、オーミックコンタクトをとるためのチタンサイド層14を薄く成長させた後、層間絶縁膜15を被着してこれにコンタクトホールを形成し、各ソース電極16、18及びドレイン電極17、19をそれぞれ被着する。

【0064】このように、本実施例においては、上述の第1の実施例と比べると、フッ素イオンの注入を基板1の表面下に行っているが、同様の現象によって、バッファ回路部BFでは比較的大きなゲート酸化膜33(従って、しきい値電圧の高い)MOSトランジスタTR₁を作製する一方、メモリセルアレイ部MAでは比較的小さいゲ

ト酸化膜3（従って、しきい値電圧の低い）MOSトランジスタ TR_1 を作製することができる。

【0065】即ち、両トランジスタ TR_1 と TR_2 とのしきい値電圧を互いに異ならせ、前者のトランジスタ TR_1 のしきい値電圧を高くしてそのゲート絶縁破壊耐圧を向上させ、バッファ回路用として好適なものとなり、回路設計の幅も拡がると共に、上述した第1の実施例で述べたと同様に、従来技術では奏し得ない作用効果を有している。但し、フッ素のイオン注入を基板1に直接行っているため、そのドーズ量の制御が行い易く、低エネルギーで済むという付加的な利点がある。

【0066】図18～図23は、本発明をダイナミックRAMに適用した第3の実施例を示すものである。

【0067】本実施例では、まず、図18に示すように、P型シリコン基板1（これはP型ウェルであってよい。）の表面に、公知のLOCOS法によって、第1素子領域としての内部回路の例えばメモリセルアレイ部MAと、第2素子領域としての周辺回路の例えばバッファ回路部BFとを分離するためのフィールド SiO_2 膜2を選択的に形成する。

【0068】次いで、LOCOS時の耐酸化マスクである窒化シリコン膜（図示せず）をエッチングで除去し、更に表面の SiO_2 膜（パッドオキサイド：図示せず）もエッチングで除去し、各素子領域の基板表面を露出させる。

【0069】次いで、図19に示すように、MOSトランジスタのしきい値電圧を調整するための不純物のイオン注入後に、公知の熱酸化法によって、基板1の露出面に SiO_2 膜3を厚さ150～160Å程度に成長させる。

【0070】次いで、公知の方法に従って、CVDによりポリシリコン層を被着してゲート電極形状にパターンニングした後、図19に示すように、サイドウォール技術によりポリシリコンゲート電極47、48の側面をナイトライド膜29で絶縁する。

【0071】次いで、図20に示すように、N型不純物のイオン注入によってN⁺型ソース領域10、11、12、13をセルフアライン（自己整合的）に形成する。

【0072】次いで、図21に示すように、ゲート酸化膜厚を比較的厚くしたいバッファ回路部BFが露出し、それ以外を覆うパターンにレジストマスク44を被着する。

【0073】次いで、イオン注入装置によって、フッ素イオン41をレジストマスク44で覆われていないポリシリコンゲート48中に注入する。この注入イオンはポリシリコンゲート48中に破線で示す。

【0074】次いで、図22に示すように、例えば850～900℃でアニール処理を行うことによって、上記のフッ素注入領域においてフッ素原子又はイオン41を活性化させる。これによってフッ素が SiO_2 膜3中に拡散して取り込まれ、 $Si-O$ 結合の破壊によるフッ素置換及び遊離酸素の拡散によって膜厚が増大したゲート酸化膜43

が成長する。

【0075】次いで、図23に示すように、オーミックコンタクトをとるためのチタンシリサイド層14を薄く成長させた後、上述したように層間絶縁膜15を被着してこれにコンタクトホールを形成し、各ソース電極16、18及びドレイン電極17、19をそれぞれ被着する。

【0076】なお、図23に示したシリサイド形成工程等の追加の熱処理（例えば850～900℃）の熱エネルギーにより、ポリシリコン層（ゲート）28中のフッ素が更に拡散し、ゲート酸化膜43の膜厚は一層増大することになる。

【0077】図24は、本発明をダイナミックRAMに適用した第4の実施例を示すものである。

【0078】本実施例は、上述した第1の実施例に比べて、図1～図3の工程は同様に実施するが、図4のフッ素イオンの注入を図24に示すようにゲート酸化膜3に対して行う点が著しく異なる。

【0079】即ち、図24に示すように、メモリセルアレイ部MAを覆い、ゲート酸化膜厚を比較的大きくしたいバッファ回路部BFが露出するようなパターンにレジストマスク24を被着した状態で、イオン注入装置によってフッ素イオン51をレジストマスク24で覆われていない SiO_2 膜3中に注入する。この注入イオンは SiO_2 膜3中に破線で示す。

【0080】次いで、図5で述べたと同様に、例えば850～900℃でアニール処理を行うことによって、上記のフッ素注入領域においてフッ素原子又はイオン51を活性化させる。これによってフッ素が SiO_2 膜3中に拡散して $Si-O$ 結合の破壊によるフッ素置換及び遊離酸素の拡散によって膜厚が増大したゲート酸化膜が成長する。

【0081】次いで、図6～図9で述べたと同様の工程を経て、バッファ回路部BFでは比較的厚いゲート酸化膜（従って、しきい値電圧の高い）MOSトランジスタを作製する一方、メモリセルアレイ部MAでは比較的薄いゲート酸化膜（従って、しきい値電圧の低い）MOSトランジスタを作製することができる。

【0082】図25は、本発明をダイナミックRAMに適用した第5の実施例を示すものである。

【0083】本実施例は上述した第3の実施例に比べて、図18～図20の工程は同様に実施するが、図21のフッ素イオンの注入を図25に示すようにゲート酸化膜3に対して行う点が著しく異なる。

【0084】即ち、図25に示すように、メモリセルアレイ部MAを覆い、ゲート酸化膜を比較的大きくしたいバッファ回路部BFのゲート48が露出するようなパターンにレジストマスク44を被着した状態で、イオン注入装置によって、フッ素イオン61をレジストマスク44で覆われていない SiO_2 膜3中に注入する。この注入イオンは SiO_2 膜3中に破線で示す。

【0085】次いで、図5で述べたと同様に、例えば 850~900 °Cでアニール処理を行うことによって、上記のフッ素注入領域においてフッ素原子又はイオン61を活性化させる。これによって、フッ素がSiO₂膜3中で拡散してSi-O結合の破壊によるフッ素置換及び遊離酸素の拡散によって膜厚が増大したゲート酸化膜が成長する。

【0086】次いで、図6~図9で述べたと同様の工程を経て、バッファ回路部BFでは比較的厚いゲート酸化膜（従って、しきい値電圧の高い）MOSトランジスタを作製する一方、メモリセルアレイ部MAでは比較的薄いゲート酸化膜（従って、しきい値電圧の低い）MOSトランジスタを作製することができる。

【0087】以上、本発明の実施例を説明したが、上述の実施例は本発明の技術的思想に基づいて種々の変形が可能である。

【0088】例えば、上述した酸化膜厚の増大のために行うイオン注入に適用可能なイオン種は、フッ素単一の元素であってよいが、これ以外でも、フッ素を含むガスやイオン種（例えばBF₃、BF₅、PF₃、PF₅）等を用いることも可能である。或いは、周期律表におけるフッ素（F）の同族元素（例えば塩素等のハロゲン）についても同一の効果が期待できる。

【0089】また、上述の実施例では、ゲート電極用のポリシリコン層の形成直後にフッ素（F）のイオン注入及び酸化膜への取込みについて示したが、他のどの工程（例えば、ゲート酸化工程の前後や、ソース、ドレイン領域形成のためのイオン注入の前後）でも同様の効果が期待できる。これらのイオン注入領域は、少なくとも、膜厚を増大させたいゲート部分に対して行えばよい。

【0090】また、イオン注入に限らず、他の導入方法、例えばCVD等によるデポジションやスパッタ等のように、イオン注入技術以外の工程によるフッ素の取込みも可能であり、これも同様の効果が期待できる。

【0091】また、上述した各部の材質、パターンや形成方法、半導体領域の導電型等を変化させてよいし、各領域に作製する素子の種類も変更してよい。本発明は、ダイナミックRAMに限らず、高耐圧が要求される回路を含む他のデバイスにも適用可能である。

【0092】

【発明の作用効果】本発明は、上述した如く、半導体基体の表面上に酸化膜を形成するに際して、前記酸化膜に隣接した層又は前記表面下にハロゲンを含ませ、加熱処理によって酸化膜を成長させるようにしているので、この加熱処理時にハロゲンが酸化膜中に取り込まれ、成長する酸化膜の膜厚を増大させることができる。

【0093】従って、酸化膜を形成する酸化工程が1回であっても、上記加熱処理によって酸化膜を成長させ、その膜厚を増大させることができる。このため、酸化膜厚を少ない工程で容易かつ選択的に増大させることがで

きる。しかも、酸化膜の膜厚を選択的に増大させるに際し、従来のように酸化膜を除去するエッチング工程が薄い方の酸化膜のためには不要となるから、エッチングによる基体表面の荒れや汚染が防止され、均一でかつ均質な酸化膜を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるダイナミックRAMデバイスの製造工程の一段階の断面図である。

【図2】同製造工程の他の段階の断面図である。

【図3】同製造工程の他の段階の断面図である。

【図4】同製造工程の他の段階の断面図である。

【図5】同製造工程の他の段階の断面図である。

【図6】同製造工程の他の段階の断面図である。

【図7】同製造工程の他の段階の断面図である。

【図8】同製造工程の他の段階の断面図である。

【図9】同製造工程の更に他の段階の断面図である。

【図10】各条件で形成されたゲート酸化膜の膜厚を比較して示すグラフである。

【図11】各条件で形成されたゲート酸化膜の耐圧を比較して示すグラフである。

【図12】他の条件で形成されたゲート酸化膜の膜厚を比較して示す図表である。

【図13】本発明の第2の実施例によるダイナミックRAMデバイスの製造工程の一段階の断面図である。

【図14】同製造工程の他の段階の断面図である。

【図15】同製造工程の他の段階の断面図である。

【図16】同製造工程の他の段階の断面図である。

【図17】同製造工程の更に他の段階の断面図である。

【図18】本発明の第3の実施例によるダイナミックRAMデバイスの製造工程の一段階の断面図である。

【図19】同製造工程の他の段階の断面図である。

【図20】同製造工程の他の段階の断面図である。

【図21】同製造工程の他の段階の断面図である。

【図22】同製造工程の他の段階の断面図である。

【図23】同製造工程の更に他の段階の断面図である。

【図24】本発明の第4の実施例によるダイナミックRAMデバイスの製造工程の一段階の断面図である。

【図25】本発明の第5の実施例によるダイナミックRAMデバイスの製造工程の一段階の断面図である。

【図26】従来例によるダイナミックRAMデバイスの製造工程の一段階の断面図である。

【図27】同製造工程の他の段階の断面図である。

【図28】同製造工程の他の段階の断面図である。

【図29】同製造工程の他の段階の断面図である。

【図30】同製造工程の他の段階の断面図である。

【図31】同製造工程の更に他の段階の断面図である。

【符号の説明】

1・・・シリコン基板

3、23、33・・・ゲート酸化膜

10、11、12、13・・・N⁺型半導体領域（ソース又はド

15

レイン領域)

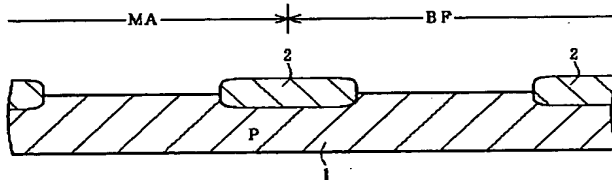
14・・・シリサイド層

20、27、28、37、38、47、48・・・ポリシリコン層又は
ゲート電極

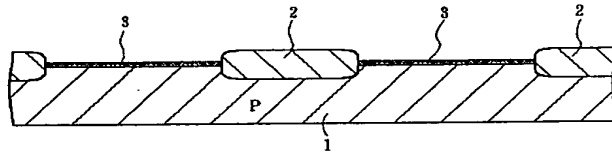
21、31、41、51、61・・・注入イオン

*

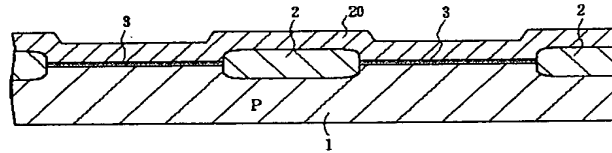
【図1】



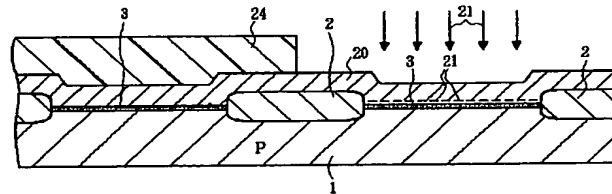
【図2】



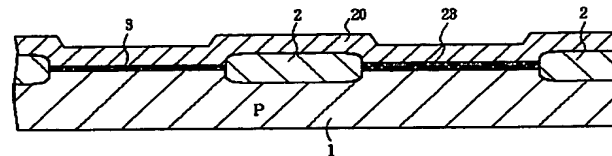
【図3】



【図4】



【図5】



16

* 24、34、44・・・フォトレジスト

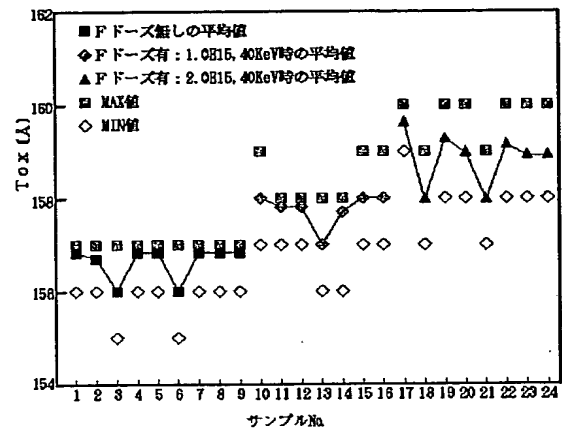
29・・・ナイトライド膜 (サイドウォール)

TR₁、TR₂・・・MOSTランジスタ

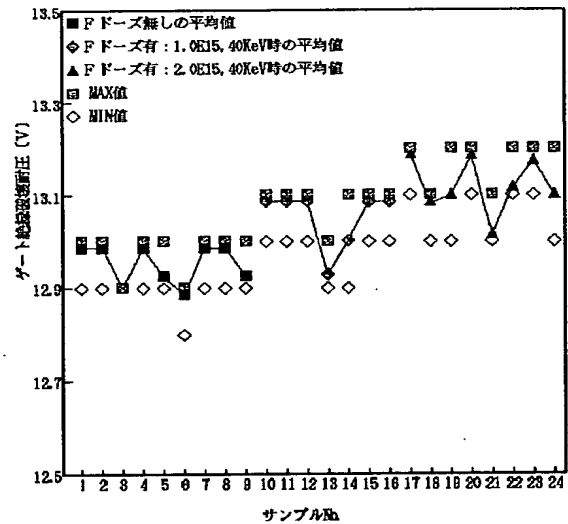
BF・・・バッファ回路部

* MA・・・メモリセルアレイ部

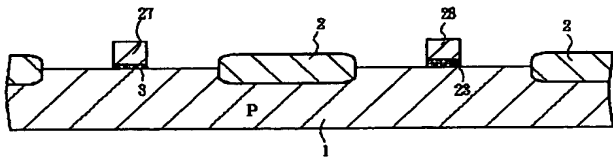
【図10】



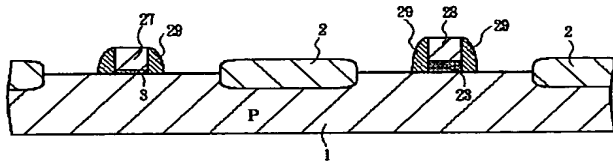
【図11】



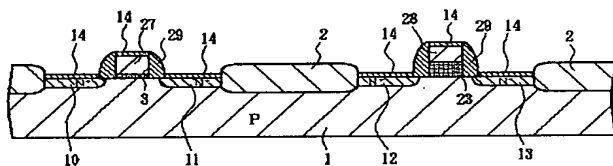
【図6】



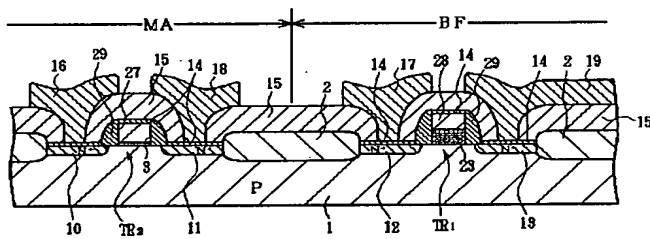
【図7】



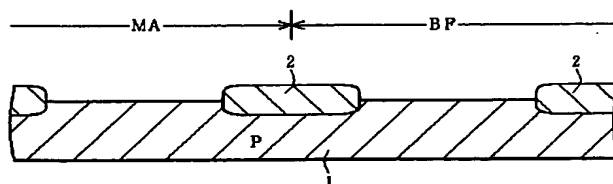
【図8】



【図9】



【図13】

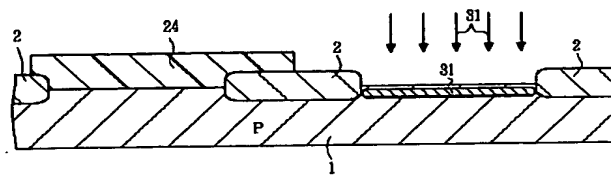


【図12】

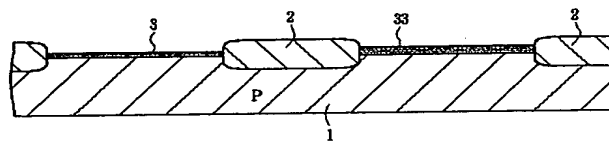
酸化膜厚 (Å) (フッ素ドーピング無し)	フッ素ドーピング (ions/cm ²)	エネルギー (eV)	工程熱処理 温度 (°C)	酸化膜厚 (Å) (フッ素ドーピング有)
158.8	2.0	40.0	800	158.8 (実測値)
126	8.0	40.0	900	137.3 (実測値)
64.2	8.0	40.0	1000	77.7 (実測値)
30	8.0	40.0	1000	33 (予測値)

注：工程熱処理温度においては、フッ素注入を行ったことによる特別追加の熱処理工程は行っていない。ここに示す温度は、通常の製造工程（ソース、ドレイン形成時のアニール等）における主な熱処理工程の温度を示している。

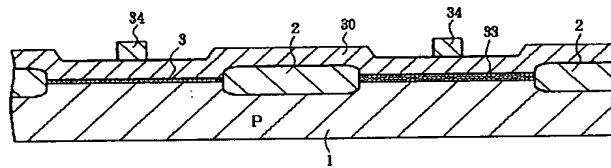
【図14】



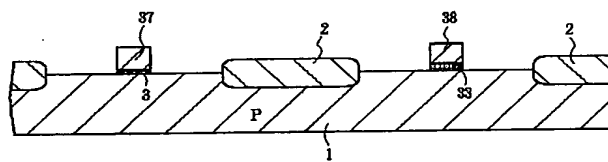
【図15】



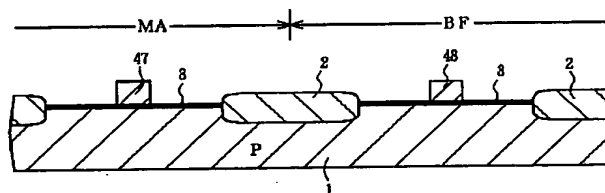
【図16】



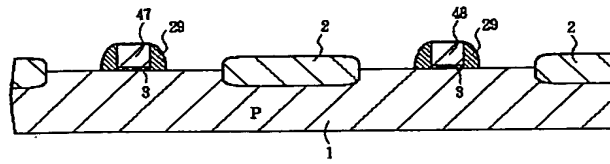
【図17】



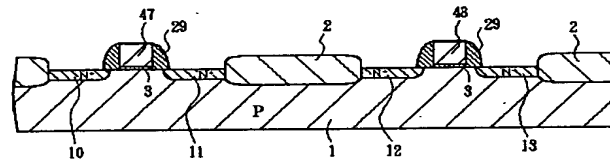
【図18】



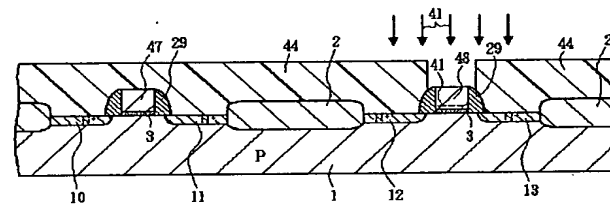
【図19】



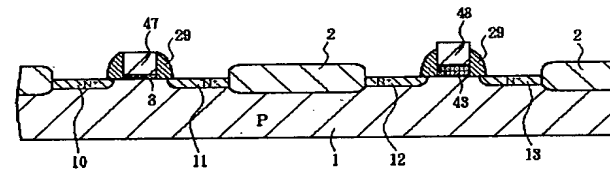
【図20】



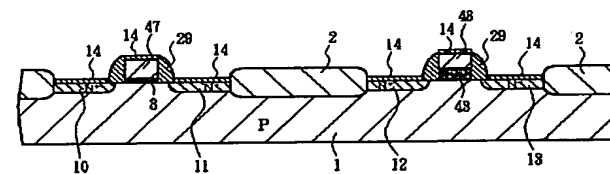
【図21】



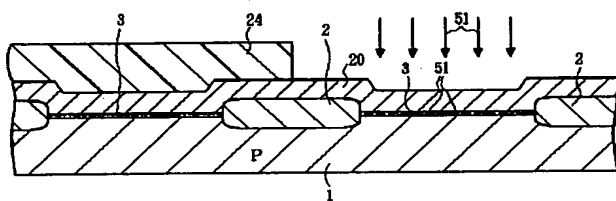
【図22】



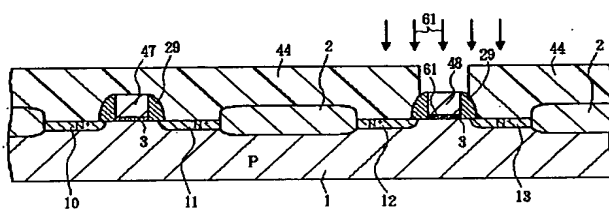
【図23】



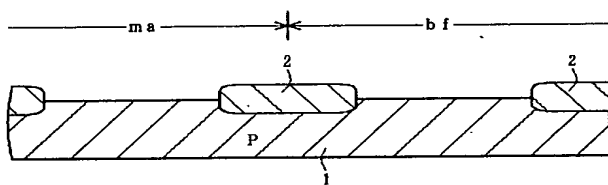
【図24】



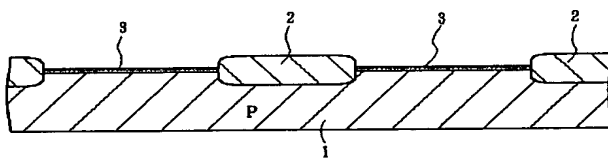
【図25】



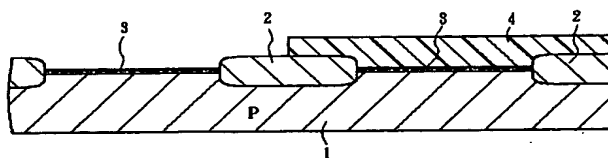
【図26】



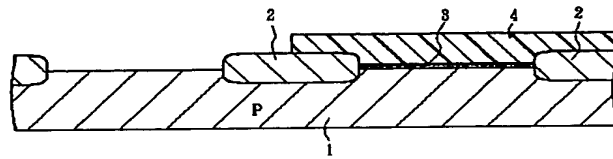
【図27】



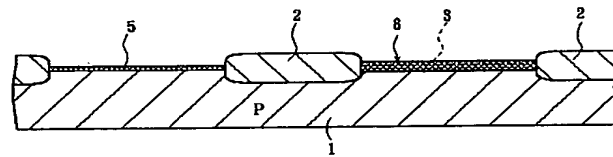
【図28】



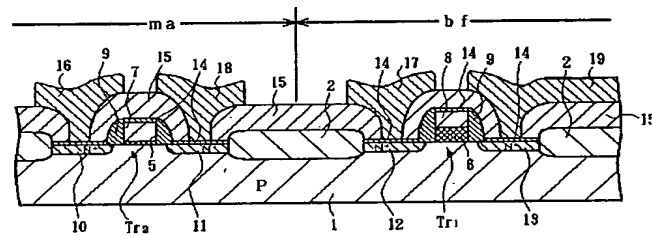
【図29】



【図30】



【図31】



フロントページの続き

(51)Int.Cl.⁶
H01L 29/78

識別記号 片内整理番号

F I

技術表示箇所